
Formulario de aprobación de curso de posgrado/educación permanente

Asignatura: Diseño de circuitos digitales integrados de bajo consumo (DICIDIBC)

Modalidad:

(posgrado, educación permanente o ambas)

Posgrado

Educación permanente

Profesor de la asignatura ¹: Dr. Francisco Veirano, Profesor Adjunto Grado 3, Instituto de Ingeniería Eléctrica

Profesor Responsable Local ¹: Dr. Francisco Veirano, Profesor Adjunto Grado 3, Instituto de Ingeniería Eléctrica

Otros docentes de la Facultad: No

Docentes fuera de Facultad: No

¹ Se adjunta CV

Programa(s) de posgrado: Ingeniería Eléctrica

Instituto o unidad: Instituto de Ingeniería Eléctrica

Departamento o área: Departamento de Electrónica

Horas Presenciales: 45

Nº de Créditos: 6

Público objetivo: El curso está dirigido a egresados de carreras de ingeniería, con énfasis en Ingeniería Eléctrica pero sin carácter excluyente. Está pensado tanto para estudiantes de posgrado como para profesionales en actividad que deseen adquirir una visión integral sobre el diseño de circuitos integrados digitales con foco en la eficiencia energética. Se hará especial hincapié en técnicas de bajo consumo ampliamente adoptadas en la industria, así como en enfoques emergentes provenientes del ámbito de la investigación, con potencial para aplicaciones en nichos específicos.

Cupos: Sin cupos

Objetivos: Brindar una formación sólida en los principios, metodologías y herramientas utilizadas en el diseño de circuitos digitales integrados, con especial énfasis en la eficiencia energética. El curso aborda tanto técnicas consolidadas a nivel industrial como estrategias avanzadas orientadas a aplicaciones de consumo ultrabajo.

Al finalizar la unidad curricular, se espera que el estudiante sea capaz de:

- Comprender los distintos mecanismos de consumo de energía en circuitos digitales, incluyendo consumo dinámico, estático y por cortocircuito.
- Identificar los distintos niveles de abstracción involucrados en el diseño digital (tecnología, transistor, compuerta, arquitectura, sistema) y reconocer las oportunidades de optimización energética en cada uno de ellos.

- Conocer un amplio espectro de técnicas de bajo consumo, comprendiendo qué tipo de consumo buscan minimizar y en qué contextos resultan más efectivas.
- Aplicar técnicas clásicas de reducción de consumo, como clock gating y power gating.
- Analizar técnicas avanzadas orientadas a consumo ultrabajo, como la operación en la región subumbral y el escalado dinámico de voltaje.
- Utilizar herramientas de diseño asistido por computadora (CAD) para simular, sintetizar y evaluar circuitos digitales, incluyendo la estimación del consumo energético.

Conocimientos previos exigidos: Conocimientos equivalentes a los cursos de Diseño Lógico y Electrónica Fundamental de la carrera de Ingeniería Eléctrica de la Universidad de la República.

Conocimientos previos recomendados: Conocimientos equivalentes a los cursos de Diseño Lógico 2 de la carrera de Ingeniería Eléctrica de la Universidad de la República.

Metodología de enseñanza:

Descripción de la metodología:

Durante la primera mitad del curso (primeras 7 semanas), se dictarán clases semanales de 2 horas de duración que combinarán aspectos teóricos y prácticos del diseño de circuitos integrados digitales de bajo consumo. Cada clase estará enfocada en una temática específica, abordada mediante una o más de las siguientes modalidades:

1. exposiciones por parte del docente,
2. discusión guiada de material bibliográfico,
3. presentaciones temáticas a cargo de los estudiantes,
4. análisis en grupo de actividades de laboratorio previamente realizadas por los estudiantes en forma domiciliaria.

Cada semana, los estudiantes deberán leer los textos recomendados y completar las actividades asignadas, incluyendo los laboratorios.

La segunda mitad del curso (últimas 7 semanas) estará orientada al desarrollo de un proyecto final individual, elegido en función de los intereses y el perfil de cada estudiante. En los encuentros semanales de 2 horas, los estudiantes presentarán sus avances y recibirán retroalimentación por parte del docente y sus compañeros.

Durante todo el semestre, se dispondrá de una hora semanal destinada a consultas, donde se podrán evacuar dudas generales sobre el contenido del curso o aspectos particulares de los proyectos individuales.

Detalle de horas:

- Horas de clase (teórico): 7
- Horas de clase (práctico): 7
- Horas de clase (proyecto): 14
- Horas de consulta: 14

- Horas de evaluación: 3
 - o Subtotal de horas presenciales: 45
- Horas de estudio: 10
- Horas de resolución de laboratorios: 10
- Horas proyecto final/monografía: 25
 - o Total de horas de dedicación del estudiante: 90

Forma de evaluación:

El curso se aprueba exclusivamente por exoneración, sin instancia de examen final. La evaluación será continua y se basará en la capacidad del estudiante para desarrollar las actividades de laboratorio realizadas durante las primeras 7 semanas de clase, la participación en las instancias de discusión así como en el seguimiento y la calidad del trabajo final desarrollado en la segunda mitad del curso.

Temario:

El contenido del curso se organiza en los siguientes bloques temáticos, los mismos serán presentados en las primeras 7 semanas de clase.

1. **Introducción al curso y al diseño de circuitos digitales integrados de bajo consumo**
Se introducirá la organización general del curso, detallando sus objetivos, carga horaria, modalidad de trabajo y criterios de evaluación. A continuación, se presentará la temática central del diseño digital de bajo consumo, repasando sus principales motivaciones, aplicaciones actuales y los desafíos que plantea. Se analizarán las diferencias entre potencia y energía, así como los conceptos de circuitos activados por evento frente a aquellos siempre encendidos, y se discutirá en qué contextos es prioritario minimizar la potencia y en cuáles la energía consumida por operación.
2. **Fundamentos del consumo de energía en circuitos digitales**
Se estudiarán los principales mecanismos de consumo en circuitos digitales CMOS: conmutación, cortocircuito y fuga. Se analizará el impacto del escalado tecnológico sobre el consumo y se introducirán métricas clave como energía por operación y eficiencia energética.
3. **Herramientas de diseño de circuitos integrados digitales**
Se abordará el diseño de circuitos digitales utilizando herramientas de diseño asistido por computadora (CAD), introduciendo el flujo típico que va desde la descripción en HDL hasta la implementación física. Se cubrirán las etapas de simulación funcional, síntesis lógica, posicionamiento, enrutado y verificación. Se hará especial énfasis en la caracterización del consumo energético mediante simulaciones, incluyendo la generación de archivos de actividad (como *switching activity files*) que capturan la frecuencia de conmutación de las señales internas, permitiendo así obtener estimaciones más precisas del consumo dinámico del circuito bajo distintos escenarios de operación.
4. **Técnicas de reducción de consumo:**
Se presentarán diversas técnicas de reducción de consumo energético en circuitos digitales, organizadas según el nivel de abstracción en el que se aplican: nivel de tecnología y transistor, nivel de compuerta lógica, nivel arquitectural y nivel de sistema. Se analizará cómo cada técnica actúa sobre las distintas fuentes de consumo (dinámico y estático) y cómo se combinan a lo largo del flujo de diseño. Además, se estudiará el impacto de estas técnicas en el comportamiento general del sistema, considerando métricas como el consumo total de energía, el desempeño y la complejidad de implementación.
5. **Técnicas de reducción de consumo dinámico**
En este bloque se abordarán técnicas ampliamente utilizadas para reducir el consumo dinámico en circuitos digitales. Se estudiarán métodos como clock gating, voltage scaling, retiming y paralelización, analizando sus principios de funcionamiento, impacto en el diseño y compromiso entre consumo, área y desempeño.

6. **Técnicas de reducción de consumo estático**

Este bloque se enfocará en técnicas orientadas a minimizar el consumo en estado inactivo o de reposo. Se incluirán estrategias como *dual threshold CMOS*, *stacked transistors*, *multiple supply voltage*, *power gating* y *body biasing*. Se discutirá la viabilidad de cada técnica, su impacto en rendimiento y complejidad de implementación.

7. **Diseño digital en subumbral y región cercana al umbral**

Se introducirá la operación de circuitos digitales en la región subumbral, destacando su utilidad en aplicaciones de consumo ultrabajo. Se estudiará el punto de energía mínima (MEP), el comportamiento de compuertas digitales en esta región y la sensibilidad a variaciones.

8. **Proyecto final: planificación y desarrollo**

En este último bloque, se presentará la metodología de trabajo del proyecto final individual. Se discutirán posibles temas, criterios de evaluación, estructura del informe y formas de presentación. Cada estudiante elegirá una temática acorde a sus intereses, estableciendo objetivos concretos para las semanas siguientes.

Bibliografía:

Principal

[Weste2010CMOS] Neil H. E. Weste, David Money Harris. (2010) CMOS VLSI Design_ A Circuits and Systems Perspective. (4th Edition) (Addison Wesley) ISBN 978-0321547743

[Piguet2006Low] Piguet, C. (2006). Low-power CMOS circuits: technology, logic design and CAD tools. CRC Press. ISBN 978-0849395376

[Wang2006Low] Wang, A., Calhoun, B. H., & Chandrakasan, A. P. (2006). Sub-threshold design for ultra low-power systems (Vol. 95). New York: Springer. ISBN 978-0387335155

Complementaria

[Alioto2012Ultra] Alioto, M. (2012). Ultra-low power VLSI circuit design demystified and explained: A tutorial. IEEE Transactions on Circuits and Systems I: Regular Papers, 59(1), 3-29.

[Shin2010Power] Shin, Y., Seomun, J., Choi, K.-M., and Sakurai, T. 2010. Power gating: Circuits, design methodologies, and best practice for standard-cell VLSI designs. ACM Trans. Des. Autom. Electron. Syst. 15, 4, Article 28 (September 2010), 37 pages. DOI = 10.1145/1835420.1835421
<http://doi.acm.org/10.1145/1835420.1835421>

[Chandrakasan1992Low] A.P. Chandrakasan, S. Sheng and R. W. Brodersen: "Low-power CMOS digital design", in IEEE J. Solid-State Circuits, vol. 27 (4), pp. 473-484, Apr. 1992.

[Veendrick1983Short] H. J. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits", in IEEE J. Solid-State Circuits, vol. 19, no. 4, pp.468-473, Aug. 1983.

[Roy2003Leakage] K. Roy, S. Mukhopadhyay and H. Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits", in Proc. IEEE, vol. 91, no 2, pp. 305-327, Feb. 2003.

[Dennard1984Generalized] G. Baccarani, M. Wordeman and R. Dennard, "Generalized scaling theory and its application to a 1/4 micron MOSFET design", in IEEE Trans. Electron Dev., vol.31, no. 4, pp. 452-462, Apr. 1984.

[Gonzalez1997Supply] R. Gonzalez, B. M. Gordon and M. A. Horowitz, "Supply and threshold voltage scaling for low power CMOS," in IEEE Journal of Solid-State Circuits, vol. 32, no. 8, pp. 1210-1216, Aug. 1997, doi: 10.1109/4.604077.

[Wei1999Design]]Wei, L., Chen, Z., Roy, K., Johnson, M.C., Ye, Y. and De, V.K., 1999. Design and



Facultad de Ingeniería Comisión Académica de Posgrado

optimization of dual-threshold circuits for low-voltage low-power applications. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 7(1), pp.16-24.



Facultad de Ingeniería Comisión Académica de Posgrado

Datos del curso

Fecha de inicio y finalización: 04.08.2025 al 03.12.2025

Horario y Salón: A definir

Arancel:

Arancel para estudiantes inscriptos en la modalidad posgrado: No corresponde
Arancel para estudiantes inscriptos en la modalidad educación permanente: 3504 UI, se contempla la posibilidad de otorgar becas.
